

PAT-NO: JP411149798A

DOCUMENT-IDENTIFIER: JP 11149798 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS TEST METHOD

PUBN-DATE: June 2, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
WATANABE, KENICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP09313863

APPL-DATE: November 14, 1997

INT-CL (IPC): G11C029/00, G01R031/28 , G06F012/16

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the number of test patterns of a semiconductor integrated circuit incorporating a plurality of memory cells with data input of the same number of bits and different capacity, and easily test the semiconductor integrated circuit.

SOLUTION: It is judged whether the address of the maximum capacity memory cell 20 corresponds to memory cells 17-19 or not using address detection circuits 11 and 12 and the most significant bit signal 13, and output data selection circuits 14, 15, and 16 select the output data of memory cells 17-19 and the maximum capacity memory cell 20 and output them. In write data retention circuits 24-26 and address control circuits 21-23, a flag value 0 is set to the output of the address detection circuits 11 and 12 and the most significant bit signal 13, an address signal is fixed, and write data are retained, thus suppressing malfunction and simultaneously testing the memory cells 17-19 by the same test pattern.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-149798

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.  
G 11 C 29/00  
G 01 R 31/28  
G 06 F 12/16

識別記号  
6 7 1  
G 06 F 12/16

F I  
G 11 C 29/00  
G 06 F 12/16  
G 01 R 31/28

6 7 1 Z  
3 3 0 A  
B  
V

審査請求 未請求 請求項の数10 OL (全23頁)

(21)出願番号 特願平9-313863

(22)出願日 平成9年(1997)11月14日

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 渡邊 賢一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

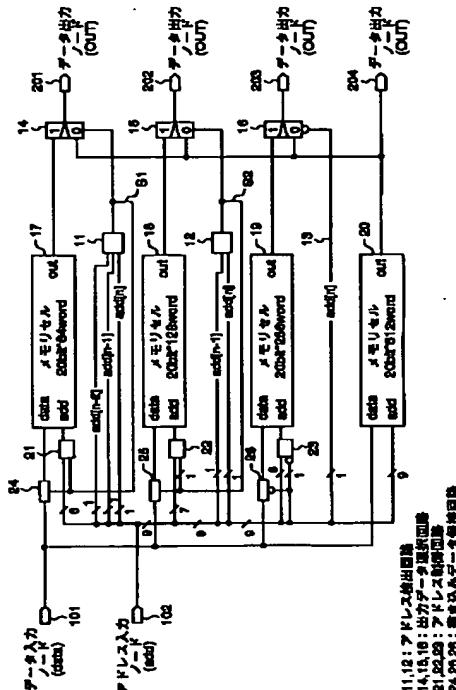
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 半導体集積回路およびそのテスト方法

(57)【要約】

【課題】 同一ビット数のデータ入力で異なる容量のメモリセルを複数個内蔵した半導体集積回路のテストパターン数の削減とテスト容易化を実現する。

【解決手段】 アドレス検出回路11, 12および最上位ビット信号13で最大容量メモリセル20のアドレスがメモリセル17ないし19に該当するか否かを判断し、出力データ選択回路14, 15, 16によりメモリセル17ないし19の出力データと最大容量メモリセル20の出力データを選択し出力する。書き込みデータ保持回路24ないし26とアドレス制御回路21ないし23ではアドレス検出回路11, 12の出力および最上位ビット信号13にフラグ値“0”が立った場合にアドレス信号の固定と書き込みデータの保持を行うことで誤動作を抑制し、同一テストパターンでメモリセル17ないし20を一齊にテストする。



1

## 【特許請求の範囲】

【請求項1】 それぞれ同一ビット数のデータ入力を有するとともに互いに異なる容量を有し、容量の大きい側のアドレス領域が容量の小さい側のアドレス領域を含むようにアドレスが設定された複数個のメモリと、上記複数個のメモリのなかで最大の容量を有するメモリに対し与えるアドレスがこれ以外のどのメモリのアドレス領域に該当するかを検出するアドレス検出手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの入力を許可し、該当しないメモリに対しデータの入力を禁止するデータ入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しアドレスの入力を許可し、該当しないメモリに対しアドレスの入力を禁止するアドレス入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの出力を許可し、該当しないメモリに対しデータの出力を禁止するデータ出力制御手段とを備えたことを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、上記アドレス検出手段は上記最大容量メモリに対するアドレスのなかの上位ビットの信号を用いてその検出動作を行うものであることを特徴とする半導体集積回路。

【請求項3】 請求項1記載の半導体集積回路において、

上記データ出力制御手段は、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その出力データに代えて上記最大容量メモリが output したデータをその出力データとして充当するものであることを特徴とする半導体集積回路。

【請求項4】 請求項1記載の半導体集積回路において、

上記アドレス入力制御手段は、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、そのアドレスが変化しないようにアドレスデータを保持するものであることを特徴とする半導体集積回路。

【請求項5】 請求項1記載の半導体集積回路において、

上記データ入力制御手段は、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その書き込みデータを保持するものであることを特徴とする半導体集積回路。

【請求項6】 それぞれ同一ビット数のデータ入力を有するとともに互いに異なる容量を有し、容量の大きい側

10

のアドレス領域が容量の小さい側のアドレス領域を含むようにアドレスが設定された複数個のメモリと、上記複数個のメモリのなかで最大の容量を有するメモリに対し与えるアドレスがこれ以外のどのメモリのアドレス領域に該当するかを検出するアドレス検出手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの入力を許可し、該当しないメモリに対しデータの入力を禁止するデータ入力制御手段と、

上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しアドレスの入力を許可し、該当しないメモリに対しアドレスの入力を禁止するアドレス入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの出力を許可し、該当しないメモリに対しデータの出力を禁止するデータ出力制御手段とを備えた半導体集積回路のテスト方法であって、

上記複数個のメモリのなかの最大容量メモリの全てのアドレスの適否を判定するデータ量のテストパターンを、当該アドレスとともに上記複数個のメモリに順次書き込み、

上記複数個のメモリから上記書き込まれたテストパターンを順次読み出し、これらと期待値とを比較することにより、

上記複数個の全てのメモリを1回のテストパターンの書き込みで同時にテストできるようにしたことを特徴とする半導体集積回路のテスト方法。

【請求項7】 請求項6記載の半導体集積回路のテスト方法において、

上記アドレス検出手段は上記最大容量メモリに対するアドレスのなかの上位ビットの信号を用いてその検出動作を行うものであることを特徴とする半導体集積回路のテスト方法。

【請求項8】 請求項6記載の半導体集積回路のテスト方法において、

上記データ出力制御手段は、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その出力データに代えて上記最大容量メモリが output したデータをその出力データとして充当するものであることを特徴とする半導体集積回路のテスト方法。

【請求項9】 請求項6記載の半導体集積回路のテスト方法において、

上記アドレス入力制御手段は、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、そのアドレスが変化しないようにアドレスデータを保持するものであることを特徴とする半導体集積回路のテスト方法。

【請求項10】 請求項6記載の半導体集積回路のテス

20

30

40

50

ト方法において、上記データ入力制御手段は、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その書き込みデータを保持するものであることを特徴とする半導体集積回路のテスト方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体集積回路およびそのテスト方法に関し、特にそのテストの容易化を可能にする、テスト容易化設計を施したもの、およびそのテスト容易化設計が施された半導体集積回路におけるテスト方法に関するものである。

## 【0002】

【従来の技術】近年、半導体プロセスの微細化が進み、半導体集積回路の高集積化、機能の多様化、高付加価値化が進められているが、かかる半導体集積回路の高集積化、機能の多様化、高付加価値化に合わせて、LSIの容易化設計を実施する必要性が高まっている。

【0003】しかしながら、従来、単一のLSIに内蔵された、さまざまな容量を有する複数のメモリエリアの動作を確認する場合においては、1チップレベルで動作確認する場合、殆どはタイミング検証と簡単なテストパターンにて動作、配線接続チェックを行うようにしていた。

【0004】即ち、1チップに内蔵されるメモリエリアの動作確認を行う場合、まず最初の数十ワードのみに対しデータを書き込んで確認を行うようにしており、このようなパターンでは、全てのワード線やビット線のショートの確認ができず、故障検出の面からは故障検出率が低く、故障確認及び動作確認においても十分ではない。このため、設計者の側で全てのメモリエリアに対しこれをテストできるテストパターンを作成する必要があった。

【0005】即ち、メモリセルの動作故障確認については、書き込んだデータに対しこれが正常に出力されるか、または使用書に記載している保持時間に対し、読み出すデータの内容に相違がないかで故障確認を行う。従って、本来はテストパターンを用いて全てのワード、ビットを動作確認できるパターンであることが必須である。

【0006】基本的には、それぞれのアドレスに“0”を書き込んだ場合に“0”を出力するか、“1”を書き込んだ場合に“1”を出力するか、データ保持時間が仕様書に記載されている時間で記憶内容が変わらないかでメモリエリアの基本的な動作を確認する。あわせて、製造上の欠陥の一つであるビット線、ワード線のショートによる誤動作故障確認も行えるテストパターンが必要である。

【0007】また、単体テストモードがある場合は、同 50

ータイプのメモリエリアは一つにまとめるか、複数個のメモリセルを一つのテストブロックとしてまとめるテスト回路構成でシミュレーションやテストを行っているが、異なるビット数、容量のメモリエリアのテスト回路は各メモリーエリア毎に設定され、テストパターンはそのメモリーエリア毎に生成しなければならない。このため、単体メモリテストモード、テストパターン数の増加によるシミュレーション工数やLSIテストでのテスト時間の増加を招いていた。

## 10 【0008】

【発明が解決しようとする課題】この発明は、上記のような従来の半導体集積回路における問題点を解決するためになされたもので、同一のテストパターンで、高機能化されたLSIチップのテストを短時間に行える、テスト容易化設計がなされた半導体集積回路およびそのテスト方法を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本願の請求項1の発明に係る半導体集積回路は、それぞれ同一ビット数のデータ

20 入力を有するとともに互いに異なる容量を有し、容量の大きい側のアドレス領域が容量の小さい側のアドレス領域を含むようにアドレスが設定された複数個のメモリと、上記複数個のメモリのなかで最大の容量を有するメモリに対し与えるアドレスがこれ以外のどのメモリのアドレス領域に該当するかを検出するアドレス検出手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの入力を許可し、該当しないメモリに対しデータの入力を禁止するデータ入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しアドレスの入力を許可し、該当しないメモリに対しアドレスの入力を禁止するアドレス入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの出力を許可し、該当しないメモリに対しデータの出力を禁止するデータ出力制御手段とを備えるようとしたものである。

40 【0010】また、本願の請求項2の発明に係る半導体集積回路は、請求項1の半導体集積回路において、上記アドレス検出手段を上記最大容量メモリに対するアドレスのなかの上位ビットの信号を用いてその検出動作を行うものとしたものである。

【0011】また、本願の請求項3の発明に係る半導体集積回路は、請求項1の半導体集積回路において、上記データ出力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その出力データに代えて上記最大容量メモリが送出したデータをその出力データとして充当するものとしたものである。

【0012】また、本願の請求項4の発明に係る半導体集積回路は、請求項1の半導体集積回路において、上記アドレス入力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対しそのアドレスが変化しないようにアドレスデータを保持するものとしたものである。

【0013】また、本願の請求項5の発明に係る半導体集積回路は、請求項1の半導体集積回路において、上記データ入力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その書き込みデータを保持するものとしたものである。

【0014】また、本願の請求項6の発明に係る半導体集積回路のテスト方法は、それぞれ同一ビット数のデータ入力を有するとともに互いに異なる容量を有し、容量の大きい側のアドレス領域が容量の小さい側のアドレス領域を含むようにアドレスが設定された複数個のメモリと、上記複数個のメモリのなかで最大の容量を有するメモリに対し与えるアドレスがこれ以外のどのメモリのアドレス領域に該当するかを検出するアドレス検出手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの入力を許可し、該当しないメモリに対しデータの入力を禁止するデータ入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しアドレスの入力を許可し、該当しないメモリに対しアドレスの入力を禁止するアドレス入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの出力を許可し、該当しないメモリに対しデータの出力を禁止するデータ出力制御手段と、備えた半導体集積回路のテスト方法であって、上記複数個のメモリのなかの最大容量メモリの全てのアドレスの適否を判定しうるデータ量のテストパターンを、当該アドレスとともに上記複数個のメモリに順次書き込み、上記複数個のメモリから上記書き込まれたテストパターンを順次読み出し、これらと期待値とを比較することにより、上記複数個の全てのメモリを1回のテストパターンの書き込みで同時にテストできるようにしたものである。

【0015】また、本願の請求項7の発明に係る半導体集積回路のテスト方法は、請求項6の半導体集積回路のテスト方法において、上記アドレス検出手段を上記最大容量メモリに対するアドレスのなかの上位ビットの信号を用いてその検出動作を行うものとしたものである。

【0016】また、本願の請求項8の発明に係る半導体集積回路のテスト方法は、請求項6の半導体集積回路のテスト方法において、上記データ出力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモ

リに対するアドレスがそのアドレス領域に該当しないメモリに対し、その出力データに代えて上記最大容量メモリが出力したデータをその出力データとして充当するようとしたものである。

【0017】また、本願の請求項9の発明に係る半導体集積回路のテスト方法は、請求項6の半導体集積回路のテスト方法において、上記アドレス入力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対しそのアドレスが変化しないようにアドレスデータを保持するものとしたものである。

【0018】また、本願の請求項10の発明に係る半導体集積回路のテスト方法は、請求項6の半導体集積回路のテスト方法において、上記データ入力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その書き込みデータを保持するものとしたものである。

【0019】  
【発明の実施の形態】本願発明に係る半導体集積回路は、LSIに組み込まれる、同一ビット数で容量が相異なるメモリエリアに対してテスト容易化設計を施すことでテストパターン数の削減を図り、LSIテストでの同時測定を可能とし、かつテスト時間の短縮をも実現できるようにしたものである。以下、本発明の実施の形態について、図面を参照しながら説明する。

【0020】実施の形態1。この実施の形態1は、ビット幅が同一で容量が相異なる複数のメモリ領域としてのメモリマクロセル（以下では、単にメモリセルと称す）

に対し、最も大きい容量のメモリセルとそれ以外のメモリセルの書き込みデータとでアドレス信号を共通にし、最大の容量を持つメモリセルのアドレス信号を用いて、他のメモリセルに書き込み可能な領域が存在するか否かを検出し、出力データを制御することにより、各メモリセルからテストパターンを読み出し、この読み出したテストパターンと期待値を比較することにより、同一のテストパターンで複数のメモリセルを同時にテストできるため、テストの容易化とテストパターンの削減とを同時に実現できるものである。

【0021】図1は本発明の実施の形態1における半導体集積回路の構成を示したものである。図1において、17, 18, 19, 20は同一のLSIに内蔵されたメモリセルであり、図1ではその一例として、20ビット幅で、それぞれ、64ワード、128ワード、256ワード、512ワードのものを示している。11, 12は最大容量を有するメモリセル20のアドレス信号がメモリセル17, 18のアドレス内に該当するか否かを検出するアドレス検出回路（アドレス検出手段）であり、それぞれ例えば3入力NOR回路、2入力NOR回路により構成されている。S1, S2はこのアドレス検出回路

11, 12から出力される、負論理のアドレス検出信号である。13は最大容量を有するメモリセル20のアドレス信号がメモリセル19のアドレス空間内のアドレスに該当するか否かを示す、正論理のアドレス検出信号である。24, 25, 26は最大容量を有するメモリセル20のアドレス信号がそれぞれメモリセル17, 18, 19のアドレス空間内のアドレスに該当するか否かでデータ入力ノード101からの書き込みデータをスルーで通過させるか保持するかを切り替えて実行する書き込みデータ保持回路（データ入力制御手段）であり、データ保持回路26のみ制御信号としてのアドレス検出信号13を負論理で受けている。21, 22, 23は最大容量を有するメモリセル20のアドレス信号がそれぞれメモリセル17, 18, 19のアドレス内に該当するか否かでアドレス入力ノード102からのアドレスデータをスルーで通過させるか保持するかを制御するアドレス制御回路（アドレス入力制御手段）であり、アドレス制御回路23のみ制御信号としてのアドレス検出信号13を負論理で受けている。14, 15, 16はメモリテスト時の出力データを制御する出力データ選択回路（データ出力制御手段）であり、制御信号（フラグ値）としてのアドレス検出信号S1, S2, 13の値が“0”レベルか“1”レベルかに応じて図中“0”を付した側の入力か“1”を付した側の入力のいずれかを選択し、最大容量を有するメモリセル20のアドレス信号がそれぞれメモリセル17, 18, 19のアドレス内に該当する場合、メモリセル17, 18, 19の出力データをそれぞれ選択し、メモリセル17, 18, 19のアドレス内に該当しなくなった場合、これに代えて最大容量を有するメモリセル20の出力データを選択し、これをメモリセル17, 18, 19の出力データとして出力する。

【0022】図2は本発明の実施の形態1における半導体集積回路に内蔵されたメモリセルにテストパターンが書き込まれてゆく様子を示したものである。また、図3は本発明の実施の形態1における半導体集積回路に内蔵されたメモリセルにテストパターンが読み書きされる際の制御信号の変化を示したものであり、メモリセル19に対しても、メモリセル17, 18と同様なタイミングとなるので、メモリセル17, 18についてのみこれを示す。

【0023】以下では、図1の半導体集積回路に対しテストパターンを書き込む際の動作について図2および図3を参照しながら説明する。図1のデータ入力ノード101およびアドレス入力ノード102には、図示しないテストから、メモリセル17, 18, 19, 20の中でも最大容量を有するメモリセル20の容量に合致するデータサイズを有するテストパターンがこれに対応してアドレス000H（Hは16進数を表す）から順次増加するアドレス信号（この例では9ビット）とともにに入力されている。

【0024】図2(a)の状態では図1のデータ入力ノード101からのテストパターンが各メモリセル17, 18, 19, 20に対し共通に順次書き込まれている。そして、図2(b)に示すように、アドレスが03FHに達すると、最小の容量を有するメモリセル17の全てのアドレスには該当するテストパターンが書き込まれている。図1のアドレス検出回路11はメモリセル20のアドレス信号9ビットのうちの上位3ビット(add [n-2], [n-1], [n])の少なくとも1つが“1”レベルになった場合に、メモリセル17用のアドレス検出信号S1を“0”レベル（ロウ アクティブ）にするよう設定されているため、図2(c)に示すように、03FHの状態からさらにアドレスが増加して、アドレス信号9ビットのうちの第7ビット(add [n-2])が“1”レベルになると、図3に示すように、アドレス検出信号S1を“0”レベルにする。このアドレス検出信号S1が“0”レベルになることにより、図1のアドレス制御回路21や書き込みデータ制御回路24がメモリセル17に入力されるアドレス信号やテストパターンを保持するため、メモリセル17は、もはや自分のアドレス外のアドレスに対応するテストパターンによってその内容が書き換えられてしまうことが防止される。

【0025】また、図1のアドレス検出回路12はメモリセル20のアドレス信号9ビットのうちの上位2ビット(add [n-1], [n])の少なくとも1つが“1”レベルになった場合に、メモリセル18用のアドレス検出信号S2を“0”レベル（ロウアクティブ）にするよう設定されているが、この図2(c)の状態では、アドレス信号9ビットのうちの上位2ビット(add [n-1], [n])がいずれも“1”レベルにならないために、アドレス検出回路12はメモリセル18用のアドレス検出信号S2を“0”レベル（ロウアクティブ）にすることはない。

【0026】図1のアドレス制御回路22や書き込みデータ制御回路25はデータ切り替え信号S2が“0”レベルになることにより、メモリセル18に入力されるアドレスやテストパターンを保持するが、この図2(c)の状態では、アドレス検出信号S2が“0”レベルにならないため、図1のアドレス制御回路22や書き込みデータ制御回路25がアドレス信号やテストパターンを保持することなく、このため、メモリセル18にはアドレス信号やテストパターンがスルーで入力される。

【0027】また、アドレス検出信号13は、アドレス信号9ビットのうちの上位1ビット(add [n])をそのまま用いているが、図2(c)の状態では、これも“1”レベルにはならない。

【0028】図1のアドレス制御回路23や書き込みデータ制御回路26はこのアドレス検出信号13が“1”レベルになることにより、メモリセル19に入力されるアドレスやテストパターンを保持するが、この図2

(c) の状態では、アドレス検出信号13が“1”レベルにならないため、図1のアドレス制御回路23や書き込みデータ制御回路26がアドレス信号やテストパターンを保持することではなく、メモリセル19にはアドレス信号やテストパターンがスルーで入力される。

【0029】このため、図2(c)の状態では、アドレス信号が03F<sub>16</sub>から増加するに従ってメモリセル18, 19, 20には対応するテストパターンが順次書き込まれるが、メモリセル17については、既に全てのアドレスへのテストパターンの書き込みが終了しているため、書き込み禁止状態とされ、誤ったアドレスのテストパターンが書き込まれるのが防止される。

【0030】そして、さらにアドレスが増加し、図2(d)に示すように、アドレスが07F<sub>16</sub>に達すると、2番目に小さな容量を有するメモリセル18の全てのアドレスには、該当するテストパターンが書き込まれている。

【0031】その後アドレスが順次増加し、図2(e)に示すように、アドレス信号が07F<sub>16</sub>を越えて0FF<sub>16</sub>に達するまでは、アドレス信号9ビットの第8ビット(add[n-1])が“1”レベルになるため、アドレス検出回路11, 12は、メモリセル17, 18を書き込み禁止状態する。この図2(e)の状態では、アドレス信号9ビットの最上位ビット(add[n])は

“1”レベルにはならないために、メモリセル19は書き込み禁止状態にはならない。このため、図2(e)の状態では、アドレスが増加するに従って、メモリセル19, 20へのテストパターンの書き込みが進行している。

【0032】そして、さらにアドレスが増加し、図2(f)に示すように、アドレスが0FF<sub>16</sub>に達すると、2番目に大きな容量を有するメモリセル19の全てのアドレスには、該当するテストパターンが書き込まれている。

【0033】その後アドレスが順次増加し、図2(g)に示すように、アドレス信号が0FF<sub>16</sub>を越えると、アドレス信号9ビットのうちの上位1ビット(add[n])が“1”レベルになるため、アドレス検出回路11, 12およびアドレス検出信号13は、メモリセル17, 18および19を書き込み禁止状態とする。このため、図2(g)の状態では、アドレスが増加するに従って、メモリセル20のみテストパターンの書き込みが進行している。

【0034】そして、アドレスがさらに増加し、図2(h)に示すように、アドレス信号が1FF<sub>16</sub>に達すると、最大容量を有するメモリセル20の全てのアドレスには、該当するテストパターンが書き込まれるが、その過程で、他のメモリセル17, 18, 19の全領域にもこれと同一のテストパターンがそれぞれの容量に相当する分、既に書き込まれている。

【0035】従って、最大容量を有するメモリセルに対しテストパターンを1回書き込むだけで、他の全てのメモリセルに対してもテストパターンの書き込みが完了するため、テストパターンの節約と、テスト時間の短縮等のテスト容易化を同時に実現できる。

【0036】次に、このようにしてテストパターンが書き込まれた図1の半導体集積回路からテストパターンを読み出す際の動作について図3および図4を参照しながら説明する。図4は本発明の実施の形態1における半導体集積回路に内蔵されたメモリセルからテストパターンが読み出されてゆく様子を示したものである。

【0037】図1のアドレス入力ノード102には、図示しないテストから、メモリセル17, 18, 19, 20のうち最大容量を有するメモリセル20の容量に合わせたアドレス信号がアドレス000<sub>16</sub>から順次入力されている。図4(a)の状態ではこのアドレス信号の増加に伴って各メモリセル17, 18, 19, 20に記憶されたテストパターンが各メモリセル17, 18, 19, 20から順次読み出されている。この時、アドレス信号

20 は000<sub>16</sub>から03F<sub>16</sub>の範囲内にあるので、アドレス信号9ビットのうちの上位3ビット(add[n-2], [n-1], [n])はいずれも“0”レベルである。このためアドレス検出回路11, 12はいずれもデータ切り換え信号S1, S2として“1”レベルを出力し、アドレス検出信号13は“0”レベルになる。これにより、出力データ選択回路14, 15, 16はいずれも対応するメモリセル17, 18, 19から読み出されたテストパターンを選択する。これら選択されたデータはメモリセル20から読み出されたテストパターンとともに

30 それぞれデータ出力ノード201, 202, 203, 204を介してテストに出力され、このテストにおいてそれぞれ期待値と比較されることにより、各メモリセル17, 18, 19, 20の良否が判定される。

【0038】次に、図4(b)に示すように、アドレスが03F<sub>16</sub>に達すると、最小の容量を有するメモリセル17の全てのアドレスからテストパターンが読み出されている。

【0039】図1のアドレス検出回路11はメモリセル20のアドレス信号9ビットのうちの上位3ビット(add[n-2], [n-1], [n])の少なくとも1つが“1”レベルになった場合に、メモリセル17用のアドレス検出信号S1を発生するように設定されているため、図4(c)に示すように、図4(b)の状態からさらにアドレスが増加して、アドレス信号9ビットのうちの第7ビット(add[n-2])が“1”レベルになると、図3に示すように、アドレス検出信号S1が“0”レベルになる。このアドレス検出信号S1が“0”レベルになることにより、図1のアドレス制御回路21はメモリセル17に入力されるアドレスを固定し、また、出力データ選択回路14はメモリセル17からの出力に代

11

えてメモリセル20から読み出されるテストパターンを選択する。このため、メモリセル17は、もはや自分のアドレス外のアドレスによってその内容が不用意に読み出されてしまうのが防止される。

【0040】そして、この図4(c)の状態では、図1のアドレス検出回路12はアドレス信号9ビットのうちの上位2ビット(add[n-1], [n])がいずれも“1”レベルにはならないために、メモリセル18用のアドレス検出信号S2を発生することはない。このため、図1のアドレス制御回路22がメモリセル18に入力されるアドレスを固定することなく、メモリセル18にはテスタからのアドレス信号がスルーで入力される。また、出力データ選択回路15もメモリセル18からの出力を選択したままである。

【0041】また、既に述べたように、アドレス検出信号13は、アドレス信号9ビットのうちの上位1ビット(add[n])をそのまま用いているが、図4図(c)の状態では、これも“1”レベルにはならないために、図1のアドレス制御回路23がメモリセル19に入力されるアドレスを固定することなく、メモリセル19にはテスタからのアドレス信号がスルーで入力される。また、出力データ選択回路16もメモリセル19からの出力を選択したままである。

【0042】このため、図4(c)の状態では、アドレス信号が03F<sub>16</sub>から増加するに従ってメモリセル18, 19, 20から対応するテストパターンが順次読み出され、これらがテスタで判定されるが、メモリセル17に関しては、既に全てのアドレスからのテストパターンの読み出しが終了しているため、読み出し禁止状態とされ、誤ったアドレス信号によりテストパターンが読み出されるのが防止される。そして、このメモリセル17が読み出し禁止状態となる代わりに、メモリセル20から読み出されたテストパターンが本来のメモリセル17からのテストパターンの代わりに充当され、これがデータ出力ノード201から出力される。テスタはこのメモリセル17用のデータ出力ノード201から出力される充当テストパターンのテストを実行してもしなくてもよいが、実行する場合は、最大容量を有するメモリセル20のテストを3通りの経路で同時に実行することができる。

【0043】そして、さらにアドレスが増加し、図4(d)に示すように、アドレスが07F<sub>16</sub>に達すると、2番目に小さな容量を有するメモリセル18の全てのアドレスからテストパターンが読み出されている。

【0044】その後さらにアドレスが順次増加し、図4(e)に示すように、アドレス信号が07F<sub>16</sub>を越えて0FF<sub>16</sub>に達するまでは、アドレス信号9ビットの第8ビット(add[n-1])が“1”レベルになるため、アドレス検出回路11, 12は、メモリセル17, 18を読み出し禁止状態にする。また、このときメモリセル1

10

30

40

50

12

7, 18用の出力データ選択回路14, 15はともに、メモリセル17, 18からの出力に代えてメモリセル20から読み出されるテストパターンを選択する。このため、メモリセル17, 18は、もはや自分のアドレス外のアドレスによってその内容が不用意に読み出されてしまうのが防止される。

【0045】また、この図4(e)の状態では、アドレス信号9ビットの最上位ビット(add[n])は“1”レベルにはならないために、メモリセル19は読み出し禁止状態にはならない。このため、図4(e)の状態では、アドレス信号が07F<sub>16</sub>から増加するに従ってメモリセル19, 20から対応するテストパターンが順次読み出され、これらがテスタで判定されるが、メモリセル17, 18に関しては、既に全てのアドレスからのテストパターンの読み出しが終了しているため、読み出し禁止状態とされ、誤ったアドレス信号によりテストパターンが読み出されるのが防止される。そして、メモリセル17, 18が読み出し禁止状態となる代わりに、メモリセル20から読み出されたテストパターンが本来のメモリセル17, 18からのテストパターンの代わりに充当され、これがデータ出力ノード201, 202から出力される。テスタはこのメモリセル17, 18用のデータ出力ノード201, 202から出力される充当テストパターンのテストを実行してもしなくてもよいが、実行する場合は、最大容量を有するメモリセル20のテストを3通りの経路で同時に実行することができる。

【0046】そして、さらにアドレスが増加し、図4図(f)に示すように、アドレスが0FF<sub>16</sub>に達すると、2番目に大きな容量を有するメモリセル19の全ての領域から、該当するテストパターンが読み出されている。

【0047】その後アドレスが順次増加し、図4(g)に示すように、アドレス信号が0FF<sub>16</sub>を越えると、アドレス信号9ビットのうちの上位1ビット(add[n])が“1”レベルになるため、アドレス検出回路11, 12およびアドレス検出信号13は、メモリセル17, 18および19を読み出し禁止状態とする。また、このときメモリセル17, 18, 19用の出力データ選択回路14, 15, 16はともに、メモリセル17, 18, 19からの出力に代えてメモリセル20から

読み出されるテストパターンを選択する。このため、メモリセル17, 18, 19は、もはや自分のアドレス外のアドレスによってその内容が不用意に読み出されてしまうのが防止される。このため、図4(g)の状態では、アドレスが増加するに従って、メモリセル20のみテストパターンの読み出しが進行している。

【0048】そして、アドレスがさらに増加し、図4(h)に示すように、アドレス信号が1FF<sub>16</sub>に達すると、最大容量を有するメモリセル20の全てのアドレスから、該当するテストパターンが読み出されているが、この過程で、メモリセル20から読み出されたテストパ

13

ターンが他のメモリセル17, 18, 19の読み出しデータの代わりに充当され、これがデータ出力ノード20 1, 202, 203から出力される。テスタはこのメモリセル17, 18, 19用のデータ出力ノード201, 202, 203から出力される充当テストパターンのテストを実行してもしなくてもよいが、実行する場合は、最大容量を有するメモリセル20のテストを4通りの経路で同時に実行することができる。

【0049】このように、本実施の形態1によれば、始点アドレス(最下位アドレス)が同一で、それぞれが連続するアドレスを有し、かつ容量が2倍ずつ増加する4つのメモリエリアに対し、同一のアドレスを最下位アドレスから順次与えて、各メモリエリアに同一のテストパターンを順次書き込んでゆき、アドレスが最小の容量を有するメモリエリアの最上位アドレスに達した時点で、まず、当該最小容量メモリエリアへの書き込みを中止し、そのメモリエリアに書き込まれたテストパターンを保護し、他の3つのメモリエリアについてはテストパターン書き込みを継続するが、次に最上位アドレスに達したメモリエリアに対し、同様に書き込みを中止し、以後、同様にして、順次書き込みを中止し、各メモリエリアに書き込まれたテストパターンを保護し、各メモリエリアに書き込まれたテストパターンを読み出す際にも、4つのメモリエリアに対し、同一のアドレスを最下位アドレスから順次与えて、各メモリエリアから同一のテストパターンを順次読み出してゆき、アドレスが最小の容量を有するメモリエリアの最上位アドレスに達した時点で、まず、当該最小容量メモリエリアからの読み出しを中止し、当該最小容量メモリエリアからのデータに代えて、最大容量メモリエリアからのデータを最小容量メモリエリアからのデータとして出力し、以後、同様にして、他のメモリエリアからの読み出しを順次中止し、各メモリエリアからのデータに代えて、最大容量メモリエリアからのデータを各メモリエリアからのデータとして出力するようにしたので、同一のテストパターンで、メモリ容量が相異なる複数のメモリエリアを同時にかつ短時間のうちにテストすることが可能となり、最も大きな容量のメモリセル用のテストパターンを生成することにより、テストを少ないパターン数で行うことができ、シミュレーション工数の削減やLSIテストでの一括測定によるテスト時間短縮が可能となる。

【0050】実施の形態2. この実施の形態2はWE信号を制御することにより、最大容量を有するメモリセル以外のメモリセルへのデータの書き込み禁止を行うようにしたものである。図5は本発明の実施の形態2における半導体集積回路の構成を示したものである。同図において、30, 31, 32, 33は同一のLSIに内蔵されたメモリセルであり、図5ではその一例として、20ビット幅で、それぞれ、64ワード、128ワード、256ワード、512ワードのものを示している。WEは

14

これらメモリセル30, 31, 32, 33をデータの書き込み可能状態とするか否かを制御するための書き込みイネーブル信号、110は各メモリセル30, 31, 32, 33に対し書き込みイネーブル信号WEを入力するためのWE入力ノード、111は各メモリセル30, 31, 32, 33に対し出力イネーブル信号OEを入力するためのOE入力ノード、27, 28, 29は実施の形態1の書き込みデータ保持回路24, 25, 26に代えて設けられた書き込みイネーブル制御回路であり、アドレス検出信号S1, S2, 13に応じて、メモリセル30, 31, 32に対し書き込みイネーブル信号WEを通過させるか否かを制御する。また、37, 38, 39は出力イネーブル制御回路であり、アドレス検出信号S1, S2, 13に応じて、メモリセル30, 31, 32に対し出力イネーブル信号OEを通過させるか否かを制御する。

【0051】ここで実施の形態1と異なるのは、書き込みイネーブル信号WEを制御することにより、各メモリセルに異なる入力データを書き込まないようにしたことである。

【0052】この様に構成することにより、書き込みイネーブル信号WEが入力されているメモリセルについては、書き込みイネーブル信号WEがイネーブルにならないようにアドレス検出信号S1, S2, 13で書き込みイネーブル信号WEを制御することができ、メモリセル30, 31, 32のアドレス外に相当するデータについてはこれを書き込まないようにすることができる。その他の動作については実施の形態1と同様である。

【0053】以下にこの実施の形態2の動作について詳述する。まず、図5の半導体集積回路に対しテストパターンを書き込む際の動作について図2および図6を参照しながら説明する。

【0054】図6は本発明の実施の形態2における半導体集積回路に内蔵されたメモリセルにテストパターンが書き込まれる際の制御信号の変化を示したものであり、メモリセル32に対しても、メモリセル30, 31と同様なタイミングとなるので、メモリセル30, 31についてのみこれを示す。

【0055】また、図7は本発明の実施の形態2における半導体集積回路に内蔵されたメモリセルからテストパターンが読み出される際の制御信号の変化を示したものであり、メモリセル32に対しても、メモリセル30, 31と同様なタイミングとなるので、メモリセル30, 31についてのみこれを示す。

【0056】図5のデータ入力ノード101, アドレス入力ノード102およびWE入力ノード110には、図示しないテスタから、メモリセル30, 31, 32, 33の中で最大容量を有するメモリセル33の容量に合致するデータサイズを有するテストパターンデータがこれに対応してアドレス000H (Hは16進数を表す) か

15

ら順次増加するアドレス信号（この例では9ビット）および書き込みイネーブル信号WEとともに入力されている。

【0057】図2(a)の状態では図1のデータ入力ノード101から同一のテストパターンが各メモリセル30, 31, 32, 33に対し順次書き込まれている。そして、図2(b)に示すように、アドレスが03F<sub>8</sub>に達すると、最小の容量を有するメモリセル30の全てのアドレスには該当するテストパターンが書き込まれている。図5のアドレス検出回路11はメモリセル33のアドレス信号9ビットのうちの上位3ビット(add [n-2], [n-1], [n])の少なくとも1つが“1”レベルになった場合に、メモリセル30用のアドレス検出信号S1を“0”レベル（ロウアクティブ）にするよう設定されているため、図2(c)に示すように、03F<sub>8</sub>の状態からさらにアドレスが増加して、アドレス信号9ビットのうちの第7ビット(add [n-2])が“1”レベルになると、図3に示すように、アドレス検出信号S1が“0”レベルになる。このアドレス検出信号S1が“0”レベルになることにより、図5のアドレス制御回路21や書き込みイネーブル制御回路27がメモリセル30に入力されるアドレスや書き込みイネーブル信号WEを保持するため、メモリセル30は、もはや自分のアドレス外のアドレスに対応するテストパターンによってその内容が書き換えられてしまうことが防止される。

【0058】また、図5のアドレス検出回路12はメモリセル33のアドレス信号9ビットのうちの上位2ビット(add [n-1], [n])の少なくとも1つが“1”レベルになった場合に、メモリセル31用のアドレス検出信号S2を“0”レベル（ロウアクティブ）にするよう設定されているが、この図2(c)の状態では、アドレス信号9ビットのうちの上位2ビット(add [n-1], [n])がいずれも“1”レベルにならないために、アドレス検出回路12はメモリセル31用のアドレス検出信号S2を“0”レベル（ロウアクティブ）にすることはない。

【0059】図5のアドレス制御回路22や書き込みイネーブル制御回路28はデータ切り換え信号S2が“0”レベルになることにより、メモリセル31に入力されるアドレスやテストパターンを保持するが、この図2(c)の状態では、アドレス検出信号S2が“0”レベルにならないため、図5のアドレス制御回路22や書き込みイネーブル制御回路28がアドレス信号やテストパターンを保持することなく、メモリセル31にはアドレス信号やテストパターンがスルーで入力される。

【0060】また、アドレス検出信号13は、アドレス信号9ビットのうちの上位1ビット(add [n])をそのまま用いているが、図2(c)の状態では、これも“1”レベルにはならない。

16

【0061】図5のアドレス制御回路23や書き込みイネーブル制御回路29はこのアドレス検出信号13が“1”レベルになることにより、メモリセル39に入力されるアドレスやテストパターンを保持するが、この図2(c)の状態では、アドレス検出信号13が“1”レベルにならないため、図5のアドレス制御回路23や書き込みイネーブル制御回路29がアドレス信号やテストパターンを保持することはなく、メモリセル32にはアドレス信号やテストパターンがスルーで入力される。

10 【0062】このため、図2(c)の状態では、アドレス信号が03F<sub>8</sub>から増加するに従ってメモリセル31, 32, 33には対応するテストパターンが順次書き込まれるが、メモリセル30については、既に全てのアドレスへのテストパターンの書き込みが終了しているため、書き込み禁止状態とされ、誤ったアドレスのテストパターンが書き込まれるのが防止される。

【0063】そして、さらにアドレスが増加し、図2(d)に示すように、アドレスが07F<sub>8</sub>に達すると、2番目に小さな容量を有するメモリセル31の全てのアドレスには、該当するテストパターンが書き込まれている。

20 【0064】その後アドレスが順次増加し、図2(e)に示すように、アドレス信号が07F<sub>8</sub>を越えてOFF<sub>8</sub>に達するまでは、アドレス信号9ビットの第8ビット(add [n-1])が“1”レベルになるため、アドレス検出回路11, 12は、メモリセル30, 31を書き込み禁止状態する。この図2(e)の状態では、アドレス信号9ビットの最上位ビット(add [n])は“1”レベルにはならないために、メモリセル32は書き込み禁止状態にはならない。このため、図2(e)の状態では、アドレスが増加するに従って、メモリセル32, 33へのテストパターンの書き込みが進行している。

【0065】そして、さらにアドレスが増加し、図2(f)に示すように、アドレスがOFF<sub>8</sub>に達すると、2番目に大きな容量を有するメモリセル32の全領域に、該当するテストパターンが書き込まれている。

【0066】その後アドレスが順次増加し、図2(g)に示すように、アドレス信号がOFF<sub>8</sub>を越えると、アドレス信号9ビットのうちの上位1ビット(add [n])が“1”レベルになるため、アドレス検出回路11, 12およびアドレス検出信号13は、メモリセル30, 31および32を書き込み禁止状態とする。このため、図2(g)の状態では、アドレスが増加するに従って、メモリセル33のみテストパターンの書き込みが進行している。

【0067】そして、アドレスがさらに増加し、図2(h)に示すように、アドレス信号が1FF<sub>8</sub>に達すると、最大容量を有するメモリセル33の全てのアドレスには、該当するテストパターンが書き込まれているが、50 その過程で、他のメモリセル30, 31, 32の全領域

17

にもこれと同一のテストパターンがそれぞれの容量に相当する分、既に書き込まれている。

【0068】従って、最大容量を有するメモリセルに対しテストパターンを1回書き込むだけで、全てのメモリセルに対してもテストパターンの書き込みが完了するため、テストパターンの節約と、テスト時間の短縮等のテスト容易化を同時に実現できる。

【0069】次に、このようにしてテストパターンが書き込まれた図5の半導体集積回路からテストパターンを読み出す際の動作について図4および図7を参照しながら説明する。

【0070】図5のアドレス入力ノード102およびOE入力ノード111には、図示しないテスタから、メモリセル30, 31, 32, 33のうち最大容量を有するメモリセル33の容量に合わせたアドレス信号がアドレス000Hから順次増加するアドレス信号（この例では9ビット）および出力イネーブル信号OEとともに順次入力されている。図4(a)の状態ではこのアドレス信号の増加に伴って各メモリセル30, 31, 32, 33に記憶されたテストパターンが各メモリセル30, 31, 32, 33から順次読み出されている。この時、アドレス信号は000Hから03FHの範囲内にあるので、アドレス信号9ビットのうちの上位3ビット(add [n-2], [n-1], [n])はいずれも“0”レベルである。このためアドレス検出回路11, 12はいずれもデータ切り換え信号S1, S2として“1”レベルを出力し、アドレス検出信号13は“0”レベルになる。これにより、出力イネーブル制御回路37, 38, 39はメモリセル30, 31, 32への出力イネーブル信号OEを通過させ、出力データ選択回路14, 15, 16はいずれも対応するメモリセル30, 31, 32から読み出されたテストパターンを選択する。これら選択されたデータは、出力イネーブル信号OEが直接入力されているメモリセル33から読み出されたテストパターンとともにそれぞれデータ出力ノード201, 202, 203, 204を介してテスタに出力され、このテスタにおいてそれぞれ期待値と比較されることにより、各メモリセル30, 31, 32, 33の良否が判定される。

【0071】次に、図4(b)に示すように、アドレスが03FHに達すると、最小の容量を有するメモリセル30の全てのアドレスからテストパターンが読み出されている。図5のアドレス検出回路11はメモリセル33のアドレス信号9ビットのうちの上位3ビット(add [n-2], [n-1], [n])の少なくとも1つが“1”レベルになった場合に、メモリセル30用のアドレス検出信号S1を発生するように設定されているため、図4(c)に示すように、図4(b)の状態からさらにアドレスが増加して、アドレス信号9ビットのうちの第7ビット(add [n-2])が“1”レベルになると、図7に示すように、アドレス検出信号S1が“0”

10

レベルになる。このアドレス検出信号S1が“0”レベルになることにより、図5のアドレス制御回路21はメモリセル30に入力されるアドレスを固定し、また、出力イネーブル制御回路37はメモリセル30への出力イネーブル信号OEを保持し、出力データ選択回路14はメモリセル30からの出力に代えてメモリセル33から読み出されるテストパターンを選択する。このため、メモリセル30は、もはや自分のアドレス外のアドレスによってその内容が不用意に読み出されてしまうのが防止される。

20

【0072】そして、この図4(c)の状態では、図5のアドレス検出回路12はアドレス信号9ビットのうちの上位2ビット(add [n-1], [n])がいずれも“1”レベルにはならないために、メモリセル31用のアドレス検出信号S2を発生することはない。このため、図5のアドレス制御回路22がメモリセル18に入力されるアドレスを固定することなく、メモリセル31にはテスタからのアドレス信号がスルーで入力される。また、出力イネーブル制御回路38もメモリセル31に対し出力イネーブル信号OEをスルーで出力し、出力データ選択回路15もメモリセル31からの出力を選択したままである。

30

【0073】また、既に述べたように、アドレス検出信号13は、アドレス信号9ビットのうちの上位1ビット(add [n])をそのまま用いているが、図4(c)の状態では、これも“1”レベルにはならないために、図5のアドレス制御回路23がメモリセル32に入力されるアドレスを固定することなく、メモリセル32にはテスタからのアドレス信号がスルーで入力される。また、出力イネーブル制御回路39もメモリセル32に対し出力イネーブル信号OEをスルーで出力し、出力データ選択回路16もメモリセル32からの出力を選択したままである。

40

【0074】このため、図4(c)の状態では、アドレス信号が03FHから増加するに従ってメモリセル31, 32, 33から対応するテストパターンが順次読み出され、これらがテスタで判定されるが、メモリセル30に関しては、既に全てのアドレスからのテストパターンの読み出しが終了しているため、読み出し禁止状態とされ、誤ったアドレス信号によりテストパターンが読み出されるのが防止される。そして、メモリセル30が読み出し禁止状態となる代わりに、メモリセル33から読み出されたテストパターンが本来のメモリセル30からのテストパターンの代わりに充当され、これがデータ出力ノード201から出力される。テスタはこのメモリセル30用のデータ出力ノード201から出力される充当テストパターンのテストを実行してもしなくてもよいが、実行する場合は、最大容量を有するメモリセル20のテストを2通りの経路で同時に実行することができ

50 る。

19

【0075】そして、さらにアドレスが増加し、図4 (d) に示すように、アドレスが07F<sub>8</sub>に達すると、2番目に小さな容量を有するメモリセル31の全てのアドレスからテストパターンが読み出されている。

【0076】その後さらにアドレスが順次増加し、図4 (e) に示すように、アドレス信号が07F<sub>8</sub>を越えてOFF<sub>8</sub>に達するまでは、アドレス信号9ビットの第8ビット (add [n-1]) が“1”レベルになるため、アドレス検出回路11, 12は、メモリセル30, 31を読み出し禁止状態にする。また、このときメモリセル30, 31用の出力データ選択回路14, 15はともに、メモリセル30, 31からの出力に代えてメモリセル33から読み出されるテストパターンを選択する。このため、メモリセル30, 31は、もはや自分のアドレス外のアドレスによってその内容が不用意に読み出されてしまうのが防止される。

【0077】また、この図4 (e) の状態では、アドレス信号9ビットの最上位ビット (add [n]) は“1”レベルにはならないために、メモリセル32は読み出し禁止状態にはならない。このため、図4 (e) の状態では、アドレス信号が07F<sub>8</sub>から増加するに従ってメモリセル32, 33から対応するテストパターンが順次読み出され、これらがテスタで判定されるが、メモリセル30, 31に関しては、既に全てのアドレスからのテストパターンの読み出しが終了しているため、読み出し禁止状態とされ、誤ったアドレス信号によりテストパターンが読み出されるのが防止される。そして、メモリセル30, 31が読み出し禁止状態となる代わりに、メモリセル33から読み出されたテストパターンが本来のメモリセル30, 31からのテストパターンの代わりに充当され、これがデータ出力ノード201, 202から出力される。テスタはこのメモリセル30, 31用のデータ出力ノード201, 202から出力される充当テストパターンのテストを実行してもしなくてもよいが、実行する場合は、最大容量を有するメモリセル20のテストを3通りの経路で同時に実行することができる。

【0078】そして、さらにアドレスが増加し、図4 (f) に示すように、アドレスがOFF<sub>8</sub>に達すると、2番目に大きな容量を有するメモリセル32の全ての領域から、該当するテストパターンが読み出されている。

【0079】その後アドレスが順次増加し、図4 (g) に示すように、アドレス信号がOFF<sub>8</sub>を越えると、アドレス信号9ビットのうちの上位1ビット (add [n]) が“1”レベルになるため、アドレス検出回路11, 12およびアドレス検出信号13は、メモリセル30, 31および32を読み出し禁止状態とする。また、このときメモリセル30, 31, 32用の出力データ選択回路14, 15, 16はともに、メモリセル30, 31, 32からの出力に代えてメモリセル33から読み出されるテストパターンを選択する。このため、メモリセ

20

ル30, 31, 32は、もはや自分のアドレス外のアドレスによってその内容が不用意に読み出されてしまうのが防止される。このため、図4 (g) の状態では、アドレスが増加するに従って、メモリセル33のみテストパターンの読み出しが進行している。

【0080】そして、アドレスがさらに増加し、図4 (h) に示すように、アドレス信号が1FF<sub>8</sub>に達すると、最大容量を有するメモリセル33の全てのアドレスから、該当するテストパターンが読み出されているが、この過程で、メモリセル33から読み出されたテストパターンが他のメモリセル30, 31, 32の読み出しデータの代わりに充当され、これがデータ出力ノード201, 202, 203から出力される。テスタはこのメモリセル30, 31, 32用のデータ出力ノード201, 202, 203から出力される充当テストパターンのテストを実行してもしなくてもよいが、実行する場合は、最大容量を有するメモリセル33のテストを4通りの経路で同時に実行することができる。

【0081】このように、本実施の形態2によれば、始点アドレス（最下位アドレス）が同一で、それぞれが連続するアドレス空間を有し、容量が2倍ずつ増加する4つのメモリエリアに対し、同一のアドレスを最下位アドレスから順次与えて、各メモリエリアに同一のテストパターンを順次書き込んでゆき、アドレスが最小の容量を有するメモリエリアの最上位アドレスに達した時点で、書き込みイネーブル信号を用いて、まず、当該最小容量メモリエリアへの書き込みを中止し、そのメモリエリアに書き込まれたテストパターンを保護し、他の3つのメモリエリアについてはテストパターン書き込みを継続するが、次に最上位アドレスに達したメモリエリアに対し、同様に書き込みを中止し、以後、同様にして、順次書き込みを中止し、各メモリエリアに書き込まれたテストパターンを保護し、各メモリエリアに書き込まれたテストパターンを読み出す際にも、4つのメモリエリアに対し、同一のアドレスを最下位アドレスから順次与えて、各メモリエリアから同一のテストパターンを順次読み出してゆき、アドレスが最小の容量を有するメモリエリアの最上位アドレスに達した時点で、出力イネーブル信号を用いて、まず、当該最小容量メモリエリアからの読み出しを中止し、当該最小容量メモリエリアからのデータに代えて、最大容量メモリエリアからのデータを最小容量メモリエリアからのデータとして出力し、以後、同様にして、他のメモリエリアからの読み出しを順次中止し、各メモリエリアからのデータに代えて、最大容量メモリエリアからのデータを各メモリエリアからのデータとして出力するようにしたので、同一のテストパターンで、メモリ容量が相異なる複数のメモリエリアを同時にテストすることが可能となり、最も大きな容量のメモリセルのパターンを生成することにより、テストを少ないパターン数で行うことができ、シミュレーション工数

21

の削減やLSIテストでの一括測定によるテスト時間短縮が可能となる。

【0082】実施の形態3. ところで、実施の形態1, 2では、専らテスト用の構成およびその際の動作についてのみ説明したが、この実施の形態3では、実際の半導体集積回路に搭載できる状態、即ちテストデータに対する書き込み読み出し動作と、テスト終了後の通常のデータに対する書き込み読み出し動作とを切り替えて実行できる半導体集積回路について説明する。

【0083】図8は本発明の実施の形態3における半導体集積回路の構成を示したものである。図において、109はこの半導体集積回路をテストモードにするか、通常動作モードにするかを切り替えるためのモード切り替え用信号を、この半導体集積回路内部の他の回路やこの半導体集積回路に外部から信号を入力するためのピン等から入力するためのモード切り替え用ノード、103, 105, 107は通常動作モード時にメモリセル31, 32, 33に対しそれぞれ別個のデータを入力するためのデータ入力ノード、104, 106, 108は通常動作モード時にメモリセル31, 32, 33に対しそれぞれ別個のアドレス信号を入力するためのアドレス入力ノード、41, 42, 43はテストモード時にメモリセル31, 32, 33に対しデータ入力ノード101からのテストデータを共通に入力し、通常モード時にメモリセル31, 32, 33に対しデータ入力ノード103, 105, 107からの別個のデータをそれぞれ入力するための入力ノード切り替え回路、51, 52, 53はテストモード時にメモリセル31, 32, 33に対しアドレス入力ノード102からのアドレス信号を共通に入力し、通常モード時にメモリセル31, 32, 33に対しアドレス入力ノード104, 106, 108からの別個のアドレス信号をそれぞれ入力するためのアドレスノード切り替え回路、61, 62, 63はテストモード時に出力データ選択回路14, 15, 16からの選択データをデータ出力ノード201, 202, 203にそれぞれ出力し、通常動作モード時にメモリセル31, 32, 33からの読み出しデータを出力データ選択回路14, 15, 16をバイパスして直接データ出力ノード201, 202, 203にそれぞれ出力する出力ノード切り替え回路である。

【0084】以下にこの実施の形態3の動作について説明する。まず、この半導体集積回路内の他の回路や、この半導体集積回路の外部等から、モード切替用ノード109にモード切替用信号として“1”レベルの信号が与えられたとする。

【0085】これにより、この半導体集積回路はテストモードになり、入力ノード切り替え回路41, 42, 43はその“1”側の入力、即ち、データ入力ノード101とデータメモリセル31, 32, 33のデータ入力端子をそれぞれ接続する。またこのとき、アドレスノード

22

切り替え回路51, 52および53もその“1”側の入力、即ちアドレス入力ノード102からのアドレス信号の伝達を制御するアドレス制御回路22, 23の出力ノードおよびアドレス入力ノード102と、メモリセル31, 32および33のアドレス入力端子をそれぞれ接続する。さらに、出力ノード切り替え回路61, 62, 63はその“1”側の出力を選択し、出力データ選択回路14, 15, 16の出力ノードとデータ出力ノード201, 202, 203とをそれぞれ接続する。

【0086】このため、データ入力ノード101およびアドレス入力ノード102を介してメモリセル30に入力データおよびアドレス信号を与えると、これと同じものが各メモリセル31, 32, 33にも与えられ、また各メモリセル30, 31, 32の出力データは出力データ選択回路14, 15, 16を介しデータ出力ノード201, 202, 203に出力されるので、WE入力ノード110より書き込みイネーブル信号を与えながら、順次アドレス信号を増加させてテストパターンをデータとして書き込んでゆき、また、OE入力ノード111より出力イネーブル信号を与えながら、順次アドレス信号を増加させてテストパターンを読み出してゆくことにより、実施の形態2で述べたのと同様の動作を行うことができ、テストパターンを1回与えることにより、全てのメモリセルのテストを実行することができる。

【0087】そしてこのようにして、全てのメモリセルのテストが終了し、本半導体集積回路が良品であると判定され、ユーザに供給されたとする。ユーザサイドでは、モード切替用ノード109に“0”レベルの信号を与えてこれを使用する。

【0088】これにより、この半導体集積回路は通常動作モードとなり、入力ノード切り替え回路41, 42, 43はその“0”側の入力、即ち、データ入力ノード103, 105, 107とデータメモリセル31, 32, 33のデータ入力端子をそれぞれ接続する。またこのとき、アドレスノード切り替え回路51, 52, 53もその“0”側の入力、即ちアドレス入力ノード104, 106, 108と、メモリセル31, 32, 33のアドレス入力端子をそれぞれ接続する。さらに、出力ノード切り替え回路61, 62, 63はその“0”側の出力を選択し、メモリセル30, 31, 32の出力ノードとデータ出力ノード201, 202, 203とをそれぞれ直接接続する。

【0089】このため、各メモリセル30, 31, 32, 33にはそれぞれデータ入力ノード101, 103, 105, 107およびアドレス入力ノード102, 104, 106, 108からそれぞれのメモリセルに必要な、互いに独立したデータおよびアドレス信号が個別に与えられる。従って、WE入力ノード110から書き込みイネーブル信号を与えることにより、各メモリセル30, 31, 32, 33に独立してデータを書き込むこ

とができる。

【0090】また、各メモリセル30, 31, 32, 33にはアドレス入力ノード102, 104, 106, 108からそれぞれのメモリセルに必要な、互いに独立したアドレス信号が個別に与えられ、各メモリセル30, 31, 32, 33の出力ノードが対応するデータ出力ノード201, 202, 203, 204にそれぞれ接続される。従って、OE入力ノード111から出力イネーブル信号を与えることにより、各メモリセル30, 31, 32, 33から独立してデータを読み出すことができる。

【0091】このように、本実施の形態3によれば、モード切替用ノードに与える論理レベルの値に応じて本半導体集積回路の動作モードをテストモードと通常動作モードに切り替えることができ、テストモードでは複数のメモリセルを同時にテストでき、通常モードでは複数のメモリセルの内容を互いに独立に読み、書きができるようにしたので、製造者にとってはテストを容易にかつ短時間のうちに実施でき、しかもそのテスト容易化のための装置の存在をユーザーに意識させないようにできる、有用な半導体集積回路を提供することが可能になる。

【0092】実施の形態4。なお、実施の形態3では、書き込みイネーブル信号および読み出しイネーブル信号を全てのメモリセルに対し共通に入力するようにしたが、これらを、各メモリセルに個別に入力するようにしてもよい。

【0093】図9は本実施の形態4による半導体集積回路の構成を示したものである。図において、71, 72および73はそれぞれWE入力ノード110から入力される書き込みイネーブル信号をメモリセル31, 32の書き込みイネーブル制御回路28, 29およびメモリセル33の書き込みイネーブル信号入力端子に共通に入力するか、WE入力ノード112, 114および116から独立に入力される書き込みイネーブル信号をメモリセル31, 32の書き込みイネーブル制御回路28, 29およびメモリセル33の書き込みイネーブル信号入力端子にそれぞれ別個に入力するかを切り替える書き込みイネーブル信号切り替え回路、81, 82および83はそれぞれOE入力ノード111から入力される出力イネーブル信号をメモリセル31, 32の出力イネーブル制御回路38, 39およびメモリセル33の出力イネーブル信号入力端子に共通に入力するか、OE入力ノード113, 115および117から独立に入力される出力イネーブル信号をメモリセル31, 32の出力イネーブル制御回路38, 39およびメモリセル33の出力イネーブル信号入力端子にそれぞれ別個に入力するかを切り替える出力イネーブル信号切り替え回路である。

【0094】以下にこの実施の形態4の動作について説明する。先ず、モード切替用ノード109に“1”レベルの信号を与えてテストモードとすると、書き込み

イネーブル信号切り替え回路71, 72および73はそれぞれその“1”側の入力を選択し、WE入力ノード110からの書き込みイネーブル信号をメモリセル31, 32の書き込みイネーブル制御回路28, 29およびメモリセル33の書き込みイネーブル信号入力端子に共通に入力する。この時、実施の形態3で述べたように、入力ノード切り替え回路41, 42, 43はその“1”側の入力、即ち、データ入力ノード101とデータメモリセル31, 32, 33のデータ入力端子をそれぞれ接続し、かつ、アドレスノード切り替え回路51, 52および53もその“1”側の入力、即ちアドレス入力ノード112からのアドレス信号の伝達を制御するアドレス制御回路22, 23の出力ノードおよびアドレス入力ノード102と、メモリセル31, 32および33のアドレス入力端子をそれぞれ接続しているので、アドレス信号と共にテストパターンを順次与えていくことにより、実施の形態3で述べたのと同様のテストを行うことができる。

【0095】また、このとき、出力イネーブル信号切り替え回路81, 82および83はそれぞれその“1”側の入力を選択し、OE入力ノード111からの出力イネーブル信号をメモリセル31, 32の出力イネーブル制御回路38, 39およびメモリセル33の出力イネーブル信号入力端子に共通に入力する。この時、実施の形態3で述べたように、出力ノード切り替え回路61, 62, 63はその“1”側の入力に切り替わり、データ出力ノード201, 202, 203とメモリセル31, 32, 33出力データ選択回路14, 15, 16の出力端子をそれぞれ接続し、かつ、アドレスノード切り替え回路51, 52および53もその“1”側の入力、即ちアドレス入力ノード112からのアドレス信号の伝達を制御するアドレス制御回路22, 23の出力ノードおよびアドレス入力ノード102と、メモリセル31, 32および33のアドレス入力端子をそれぞれ接続しているので、アドレス信号を順次与えていくことにより、実施の形態3で述べたのと同様のテストを行うことができる。

【0096】次に、モード切替用ノード109に“0”レベルの信号を与えて通常動作モードとすると、書き込みイネーブル信号切り替え回路71, 72および73はそれぞれその“0”側の入力を選択し、WE入力ノード112, 114および116から独立に入力される書き込みイネーブル信号をメモリセル31, 32の書き込みイネーブル制御回路28, 29およびメモリセル33の書き込みイネーブル信号入力端子にそれぞれ別個に入力する。この時、実施の形態3で述べたように、入力ノード切り替え回路41, 42, 43はその“0”側の入力、即ち、データ入力ノード103, 105, 107とデータメモリセル31, 32, 33のデータ入力端子をそれぞれ接続する。またこのとき、アドレスノード切り替え回路51, 52, 53もその“0”側の入力、

25

即ちアドレス入力ノード104, 106, 108と、メモリセル31, 32, 33のアドレス入力端子をそれぞれ接続する。このため、各メモリセル30, 31, 32, 33には互いに独立したタイミングで書き込みイネーブル信号やアドレス信号をデータとともに与えることができるため、各メモリセル30, 31, 32, 33に対し、完全に独立したタイミングでデータを書き込むことができる。

【0097】また、このとき、出力イネーブル信号切り替え回路81, 82および83はそれぞれその“0”側の入力を選択し、OE入力ノード113, 115, 117からの出力イネーブル信号をメモリセル31, 32の出力イネーブル制御回路38, 39およびメモリセル33の出力イネーブル信号入力端子にそれぞれ入力する。

【0098】またこのとき、アドレスノード切り替え回路51, 52, 53もその“0”側の入力、即ちアドレス入力ノード104, 106, 108と、メモリセル31, 32, 33のアドレス入力端子をそれぞれ接続する。さらに、出力ノード切り替え回路61, 62, 63はその“0”側の出力を選択し、メモリセル30, 31, 32の出力ノードとデータ出力ノード201, 202, 203とをそれぞれ直接接続する。このため、各メモリセル30, 31, 32, 33には互いに独立したタイミングで出力イネーブル信号やアドレス信号を与えることができるため、各メモリセル30, 31, 32, 33より、完全に独立したタイミングでデータを読み出すことができる。

【0099】このように、本実施の形態4によれば、モード切替用ノードに与える論理レベルの値に応じて本半導体集積回路の動作モードをテストモードと通常動作モードに切り替えることができ、テストモードでは複数のメモリセルを同時にテストでき、通常モードでは複数のメモリセルの内容を完全に独立したタイミングで互いに独立に読み、書きができるようにしたので、製造者にとってはテストを容易にかつ短時間のうちに実施でき、しかもそのテスト容易化のための手段の存在をユーザに意識させないようにできる、有用な半導体集積回路を提供することが可能になる。

【0100】実施の形態5。なお、上述の各実施の形態では、説明の都合上、メモリセルの容量が2倍ずつ増加し、かつそれぞれのアドレスの始点が同一、かつアドレスが連続して与えられているものとしたが、各メモリセルのビット幅が同一で、かつ容量の小さいメモリセルのアドレスが、容量の大きいメモリセルのアドレスに順次含まれるのであれば、このような関係を満たさなくてもよい。

【0101】図10はこのように、容量の大小関係やアドレスの配置が一般的なものとなっている、本実施の形態5による半導体集積回路の構成を示すものである。

【0102】図において、130, 131, 132, 1

26

33はメモリセルであり、ともに同一ビットX (Xは正の整数値) のビット幅を有し、それぞれAワード、Bワード、Cワード、Dワード (A, B, C, Dは正の整数值であり、A < B < C < Dの関係を有する) のワードを有するものとする。211, 212, 213は最大容量を有するメモリセル133のアドレス信号がそれぞれメモリセル130, 131, 132のアドレス空間内のアドレスに該当するか否かでアドレスデータ入力端子からのアドレスデータをスルーで通過させるか否かを制御するアドレス制御回路である。

【0103】図11はメモリセル130, 131, 132, 133の容量 (ワード数) やアドレスの割付けの一例を示すもので、メモリセル130は1234Hから2345Hまでのエリアと4567Hから789FHまでのエリアとに分かれており、合計でAワード分の容量を有している。メモリセル131は1234Hから9876Hまでの合計Bワード分の容量を有しており、メモリセル130の2つのエリアを含んでいる。メモリセル132は0000HからF45FHまでの合計Cワード分の容量を有しており、メモリセル131のエリアを含んでいる。メモリセル133は0000HからFFFFHまでの合計Dワード分の容量を有しており、メモリセル132のエリアを含んでいる。

【0104】図12は図10のアドレス制御回路211と212の構成の一例を示すものであり、アドレス制御回路211において、211aはメモリセル130の下側のエリアの下限のアドレスを示す定数1234Hを発生する定数発生器、211bはメモリセル130の下側のエリアの上限のアドレスを示す定数2345Hを発生する定数発生器、211cは図10のアドレス入力ノード102等から与えられるアドレス信号と定数発生器211aにより発生される定数1234Hとを比較する比較器、211dはアドレス入力ノード102等から与えられるアドレス信号と定数発生器211bにより発生される定数2345Hとを比較する比較器、211eは比較器211cの出力と比較器211dの出力との論理積を作成する論理積回路である。また、211fはメモリセル130の上側のエリアの下限のアドレスを示す定数4567Hを発生する定数発生器、211gはメモリセル130の上側のエリアの上限のアドレスを示す定数789FHを発生する定数発生器、211hはアドレス入力ノード102等から与えられるアドレス信号と定数発生器211fにより発生される定数4567Hとを比較する比較器、211iはアドレス入力ノード102等から与えられるアドレス信号と定数発生器211gにより発生される定数789FHとを比較する比較器、211jは比較器211hの出力と比較器211iの出力との論理積を作成する論理積回路であり、その出力は論理積回路211eの出力とワイヤードオアされて、図10のアドレス制御回路21や出力イネーブル制御回路37

に出力される。

【0105】また、アドレス制御回路212において、212aはメモリセル131の下限のアドレスを示す定数1234Hを発生する定数発生器、211bはメモリセル131の上限のアドレスを示す定数9876Hを発生する定数発生器、212cは図10のアドレス入力ノード102等から与えられるアドレス信号と定数発生器212aにより発生される定数1234Hとを比較する比較器、212dはアドレス入力ノード102等から与えられるアドレス信号と定数発生器212bにより発生される定数9876Hとを比較する比較器、212eは比較器212cの出力と比較器212dの出力との論理積を作成する論理積回路であり、その出力は図10のアドレス制御回路22や出力イネーブル制御回路38に出力される。

【0106】次に、動作について説明する。図10のアドレス入力ノード102等から与えられるアドレス信号はアドレス制御回路212の比較器212c、212dによりそれぞれメモリセル131の下限のアドレスを示す定数1234H、メモリセル131の上限のアドレスを示す定数9876Hと比較される。比較器212cは入力されるアドレス信号が定数1234H以上であれば“1”レベルを発生し、比較器212dは入力されるアドレス信号が定数9876H以下であれば“1”レベルを発生するように設定されている。このため、論理積回路212eの出力は、アドレス入力ノード102等から与えられるアドレス信号がメモリセル131のアドレスの範囲内にあれば“1”レベルを出力し、範囲外にあれば“0”レベルを出力する。従って、このアドレス制御回路212は実施の形態4におけるアドレス制御回路12と同様に動作する。

【0107】また、アドレス制御回路211についても、アドレス制御回路212の場合と同様に、比較器211c、211dおよび論理積回路211eにより図10のアドレス入力ノード102等から与えられるアドレス信号がメモリセル130の下側のエリア、即ち、定数1234H以上2345H以下の範囲にあることが検出されるか、あるいは比較器211h、211iおよび論理積回路211jにより図10のアドレス入力ノード102等から与えられるアドレス信号がメモリセル130の上側のエリア、即ち、定数4567H以上789FH以下の範囲にあることが検出されれば、このアドレス制御回路211は“1”レベルを出力し、それ以外の範囲にあれば“0”レベルを出力する。従って、このアドレス制御回路211はメモリエリアが2つに分かれているメモリセル130に対し、実施の形態4におけるアドレス制御回路11と同様に動作する。

【0108】従って、アドレス制御回路213についても、アドレス制御回路212と同様に構成することにより、本実施の形態5の各アドレス制御回路は実施の形態

4における各アドレス制御回路と同様に動作する。そして、本実施の形態5はその他の回路を実施の形態4と同様に構成しているため、各メモリセルのビット幅が同一であれば、これらの容量が2倍ずつ増加するものに限ることなく、同一のテストパターンで、複数のメモリセルを同時にテストすることができる。

【0109】このように、本実施の形態5によれば、同一のビット幅を有し、容量の小さいメモリセルのアドレスが、容量の大きいメモリセルのアドレスに順次含まれる複数のメモリセルに対し、モード切替用ノードに与える論理レベルの値に応じて本半導体集積回路の動作モードをテストモードと通常動作モードに切り替えることができ、テストモードでは複数のメモリセルを同時にテストでき、通常モードでは複数のメモリセルの内容を完全に独立したタイミングで互いに独立に読み、書きができるようにしたので、製造者にとってテ스트を容易にかつ短時間のうちに実施でき、しかもそのテスト容易化のための手段の存在をユーザに意識させないようにできる、有用な半導体集積回路を提供することが可能になる。

#### 【0110】

【発明の効果】以上のように、本願の請求項1の発明に係る半導体集積回路によれば、それぞれ同一ビット数のデータ入力を有するとともに互いに異なる容量を有し、容量の大きい側のアドレス領域が容量の小さい側のアドレス領域を含むようにアドレスが設定された複数個のメモリと、上記複数個のメモリのなかで最大の容量を有するメモリに対し与えるアドレスがこれ以外のどのメモリのアドレス領域に該当するかを検出するアドレス検出手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの入力を許可し、該当しないメモリに対しデータの入力を禁止するデータ入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しアドレスの入力を許可し、該当しないメモリに対しアドレスの入力を禁止するアドレス入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの出力を許可し、該当しないメモリに対しデータの出力を禁止するデータ出力制御手段とを備えるようにしたので、異なる容量のメモリのテストを同一のテストパターンで実行でき、テストパターン数やテスト時間の削減を実現できる、テスト容易化設計を施した半導体集積回路が得られる効果がある。

【0111】また、本願の請求項2の発明に係る半導体集積回路によれば、請求項1の半導体集積回路において、上記アドレス検出手段を上記最大容量メモリに対するアドレスのなかの上位ビットの信号を用いてその検出動作を行うものとしたので、異なる容量のメモリのテス

トを同一のテストパターンで実行でき、テストパターン数やテスト時間の削減を実現できる、テスト容易化設計を施した半導体集積回路のアドレス検出手段を簡単な構成で実現できる効果がある。

【0112】また、本願の請求項3の発明に係る半導体集積回路によれば、請求項1の半導体集積回路において、上記データ出力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その出力データに代えて上記最大容量メモリが出力したデータをその出力データとして充当するものとしたので、異なる容量のメモリのテストを同一のテストパターンで実行でき、最大容量メモリに関しては重複したテストが可能で、テストパターン数やテスト時間の削減を実現できる、テスト容易化設計を施した半導体集積回路が得られる効果がある。

【0113】また、本願の請求項4の発明に係る半導体集積回路によれば、請求項1の半導体集積回路において、上記アドレス入力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、そのアドレスが変化しないようにアドレスデータを保持するものとしたので、異なる容量のメモリのテストを同一のテストパターンで実行でき、テストパターン数やテスト時間の削減を実現できるとともに、最大容量メモリ以外のメモリに関しては誤ったアドレスの入力を防止できる、テスト容易化設計を施した半導体集積回路が得られる効果がある。

【0114】また、本願の請求項5の発明に係る半導体集積回路によれば、請求項1の半導体集積回路において、上記データ入力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その書き込みデータを保持するものとしたので、異なる容量のメモリのテストを同一のテストパターンで実行でき、テストパターン数やテスト時間の削減を実現できるとともに、最大容量メモリ以外のメモリに関しては誤ったテストパターンの入力を防止できる、テスト容易化設計を施した半導体集積回路が得られる効果がある。

【0115】また、本願の請求項6の発明に係る半導体集積回路のテスト方法によれば、それぞれ同一ビット数のデータ入力を有するとともに互いに異なる容量を有し、容量の大きい側のアドレス領域が容量の小さい側のアドレス領域を含むようにアドレスが設定された複数個のメモリと、上記複数個のメモリのなかで最大の容量を有するメモリに対し与えるアドレスがこれ以外のどのメモリのアドレス領域に該当するかを検出するアドレス検出手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの入力を許可し、該当しないメ

モリに対しデータの入力を禁止するデータ入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しアドレスの入力を許可し、該当しないメモリに対しアドレスの入力を禁止するアドレス入力制御手段と、上記アドレス検出手段の制御により上記最大容量メモリに対するアドレスがそのアドレス領域に該当するメモリに対しデータの出力を許可し、該当しないメモリに対しデータの出力を禁止するデータ出力制御手段とを備えた半導体集積回路のテスト方法であって、上記複数個のメモリのなかの最大容量メモリの全てのアドレスの適否を判定しうるデータ量のテストパターンを、当該アドレスとともに上記複数個のメモリに順次書き込み、上記複数個のメモリから上記書き込まれたテストパターンを順次読み出し、これらと期待値とを比較することにより、上記複数個の全てのメモリを1回のテストパターンの書き込みで同時にテストできるようにしたので、異なる容量のメモリのテストを同一のテストパターンで実行でき、テストパターン数やテスト時間の削減を実現できる、テスト容易化設計を施した半導体集積回路のテスト方法が得られる効果がある。

【0116】また、本願の請求項7の発明に係る半導体集積回路のテスト方法によれば、請求項6の半導体集積回路のテスト方法において、上記アドレス検出手段を上記最大容量メモリに対するアドレスのなかの上位ビットの信号を用いてその検出動作を行うものとしたので、アドレス検出手段を簡単な構成で実現でき、異なる容量のメモリのテストを同一のテストパターンで実行でき、テストパターン数やテスト時間の削減を実現できる、テスト容易化設計を施した半導体集積回路のテスト方法が得られる効果がある。

【0117】また、本願の請求項8の発明に係る半導体集積回路のテスト方法によれば、請求項6の半導体集積回路のテスト方法において、上記データ出力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その出力データに代えて上記最大容量メモリが出力したデータをその出力データとして充当するものとしたので、異なる容量のメモリのテストを同一のテストパターンで実行でき、最大容量メモリに関しては重複したテストが可能で、テストパターン数やテスト時間の削減を実現できる、テスト容易化設計を施した半導体集積回路のテスト方法が得られる効果がある。

【0118】また、本願の請求項9の発明に係る半導体集積回路のテスト方法によれば、請求項6の半導体集積回路のテスト方法において、上記アドレス入力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、そのアドレスが変化しないようにアドレスデータを保持するものとしたので、異なる容量の

31

メモリのテストを同一のテストパターンで実行でき、テストパターン数やテスト時間の削減を実現できるとともに、最大容量メモリ以外のメモリに関しては誤ったアドレスの入力を防止できる、テスト容易化設計を施した半導体集積回路のテスト方法が得られる効果がある。

【0119】また、本願の請求項10の発明に係る半導体集積回路のテスト方法において、上記データ入力制御手段を、上記アドレス検出手段により検出された、上記最大容量メモリに対するアドレスがそのアドレス領域に該当しないメモリに対し、その書き込みデータを保持するものとしたので、異なる容量のメモリのテストを同一のテストパターンで実行でき、テストパターン数やテスト時間の削減を実現できるとともに、最大容量メモリ以外のメモリに関しては誤ったテストパターンの入力を防止できる、テスト容易化設計を施した半導体集積回路のテスト方法が得られる効果がある。

## 【図面の簡単な説明】

【図1】本発明の実施の形態1の構成を示すブロック図である。

【図2】本発明の実施の形態1における半導体集積回路に内蔵されたメモリセルにテストパターンが書き込まれてゆく様子を示す図である。

【図3】本発明の実施の形態1における半導体集積回路に内蔵されたメモリセルにテストパターンが読み書きされる際の制御信号の変化を示すタイミングチャート図である。

【図4】本発明の実施の形態1における半導体集積回路に内蔵されたメモリセルからテストパターンが読み出されてゆく様子を示す図である。

【図5】本発明の実施の形態2の構成を示すブロック図である。

【図6】本発明の実施の形態2における半導体集積回路に内蔵されたメモリセルにテストパターンが書き込まれる際の制御信号の変化を示すタイミングチャート図である。

【図7】本発明の実施の形態2における半導体集積回路に内蔵されたメモリセルからテストパターンが読み出される際の制御信号の変化を示すタイミングチャート図である。

32

ある。

【図8】本発明の実施の形態3の構成を示すブロック図である。

【図9】本発明の実施の形態4の構成を示すブロック図である。

【図10】本発明の実施の形態5の構成を示すブロック図である。

【図11】本発明の実施の形態5における各メモリセルのアドレスの割付けの一例を示す図である。

10 【図12】本発明の実施の形態5におけるアドレス制御回路の構成の一例を示すブロック図である。

## 【符号の説明】

11, 12 アドレス検出手段

13 アドレスデータ最上位ビット信号

14, 15, 16 出力データ選択回路

17, 18, 19, 20 異なる容量のメモリセル

21, 22, 23, 211, 212, 213 アドレス制御回路

24, 25, 26 書き込みデータ保持回路

20 27, 28, 29 書き込みイネーブル制御回路

30, 31, 32, 33 異なる容量のメモリセル

37, 38, 39 出力イネーブル制御回路

41, 42, 43 入力ノード切り替え回路

51, 52, 53 アドレスノード切り替え回路

61, 62, 63 出力ノード切り替え回路

71, 72, 73 書き込みイネーブル信号切り替え回路

81, 82, 83 出力イネーブル信号切り替え回路

101, 103, 105, 107 データ入力ノード

30 102, 104, 106, 108 アドレス入力ノード

109 モード切替用ノード

110 書き込みイネーブル信号入力ノード

111 出力イネーブル信号入力ノード

201, 202, 203, 204 データ出力ノード

211a, 211b, 211f, 211g, 212a,

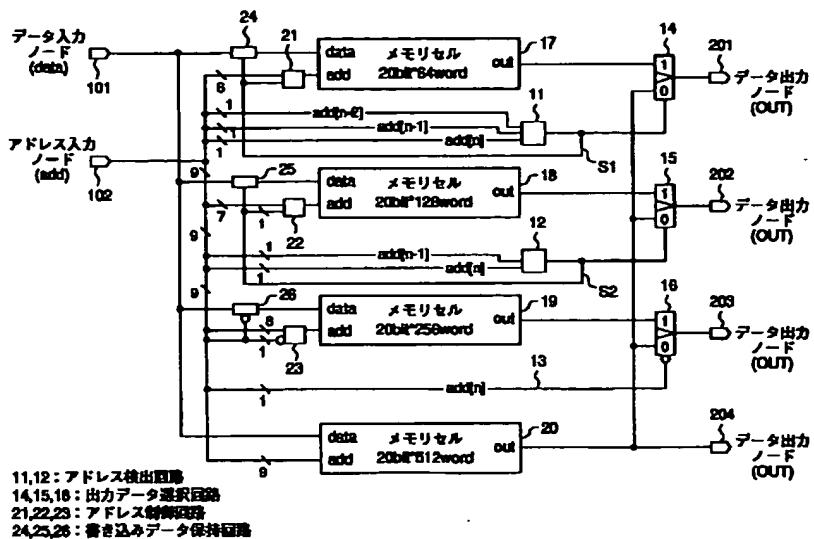
212b 定数発生器

211c, 211d, 211h, 211i, 212c,

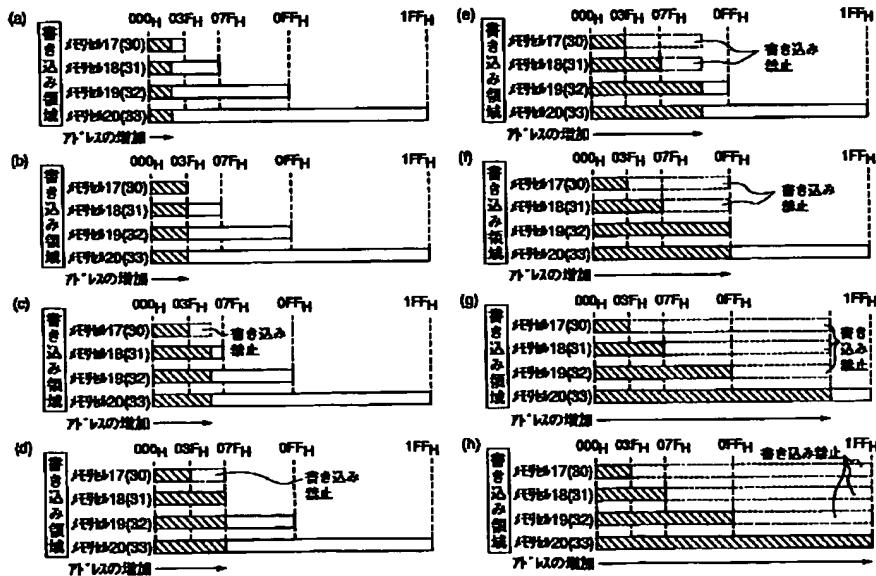
212d 比較器

211e, 211j, 212e 論理積回路

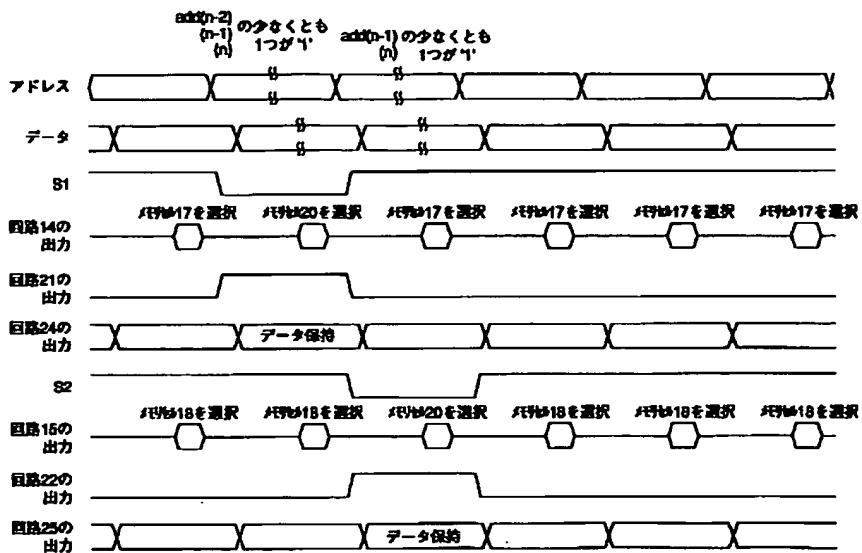
【図1】



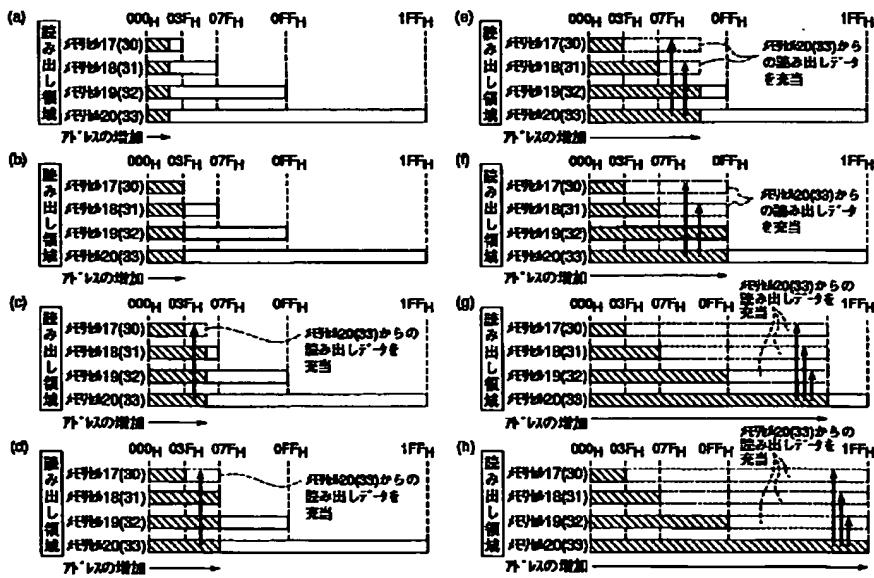
【図2】



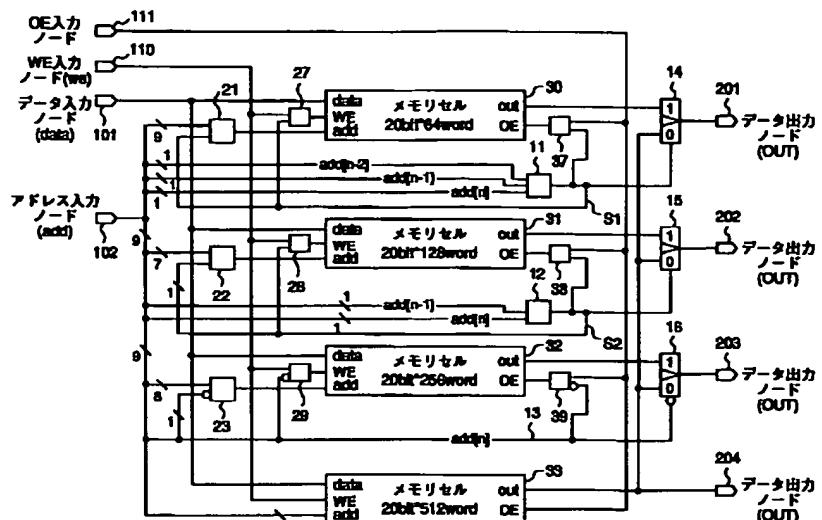
【図3】



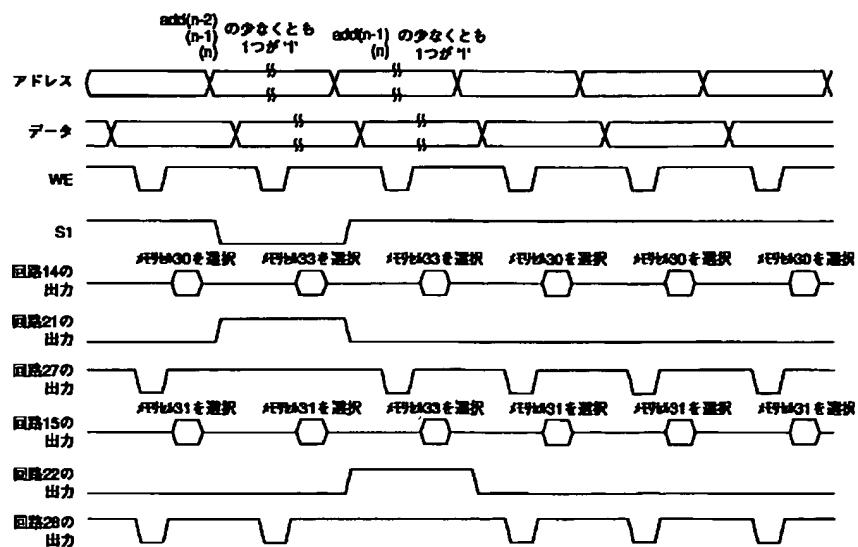
【図4】



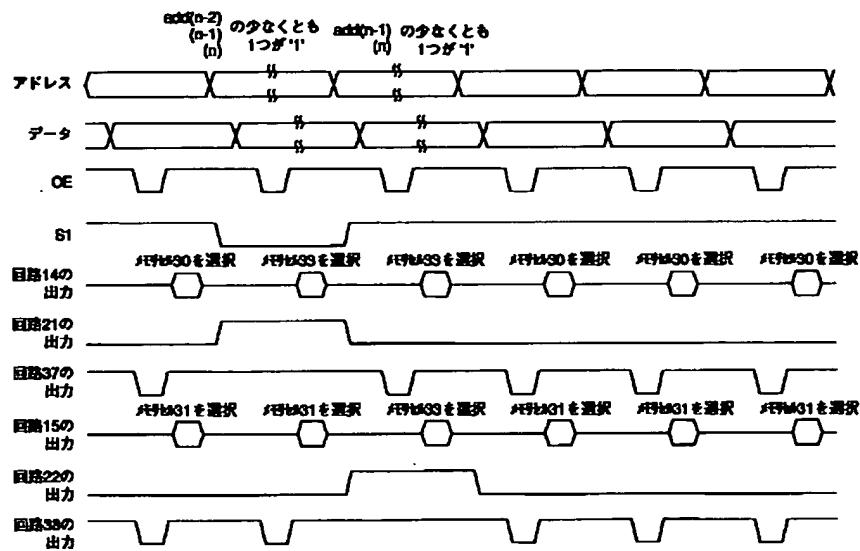
【図5】



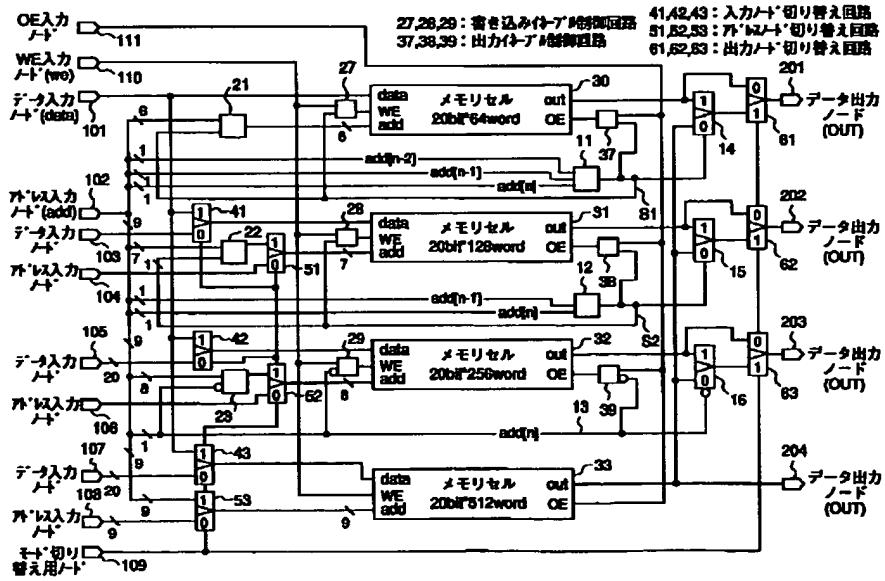
【図6】



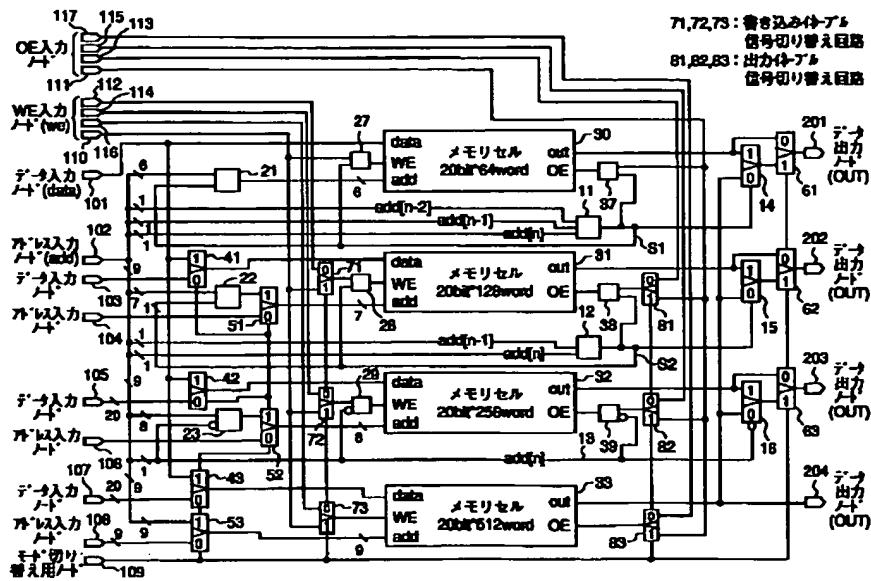
【図7】



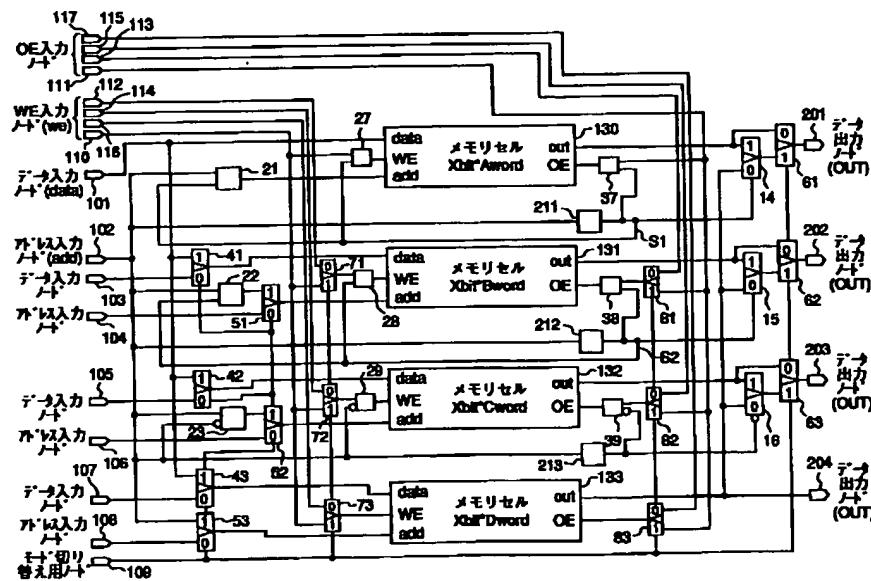
【図8】



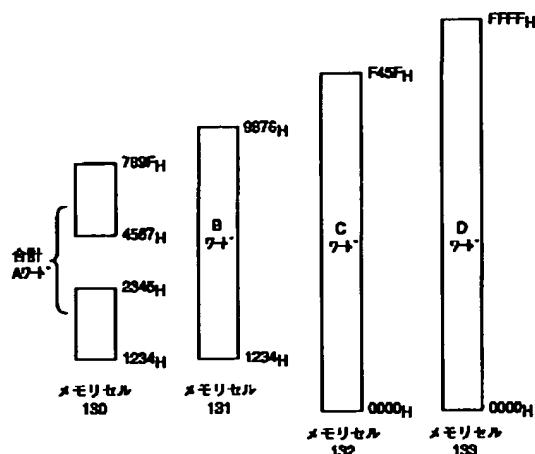
【図9】



【図10】



【図11】



【図12】

